第6章

ソフトウェア無線でディジタル放送やFMラジオ放送を聞く

無線受信機の製作

林 輝彦

ここでは通信分野のアプリケーションに適用した例として，ソフトウェア無線（SDR：software defined radio）の構築を意識したディジタル受信機を設計する．DDC（digital down converter）を用いたDC（direct conversion）方式の受信機とパソコン上の復調ソフトを組み合わせ，実際にHF帯の各種放送，通信，VHF帯のFM放送を受信できた．（筆者）

ディジタル信号処理技術の進歩によって，アナログ信号処理が中心であった無線システムも大きく様変わりしました．高速A-D/D-Aコンバータと大規模，高性能FPGAを多数組み合わせた，いわば最先端のソフトウェア無線機が携帯電話の中継，基地局として稼動しています．また，比較的簡単な回路から成るアナログ・フロントエンドをパソコンのサウンド・カードの入力に接続し，パソコン上で受信機を仮想的に構築することもできます（図1）．

今回設計したディジタル受信機のブロック図を図2に示します．基本的には，アンテナで捕らえた高周波信号をA-Dコンバータによってディジタル信号にした後，周波数変換を行って，直流（0Hz）付近の周波数を持ったベースバンド信号に変換する，ダイレクト・コンバージョン（DC：direct conversion）受信機の構成をとります．これは，ディジタル処理によって周波数を変換するディジタル・ダウン・コンバータ（DDC：digital down converter）と呼ぶこともあります．位相差90°の直交する局発信号を用いることで，互いに直交するベースバンド（I：in-phase，Q：quadrature）信号を生成し，以降の処理を行います．

信号を直交成分に分けて処理する方法は，アナログの時代から理論的には考案されていました．SSB信号の発生におけるフェーズ・シフト方式や，ウィーバ（Weaver）方式，混信除去のイメージ・リジェクション・ミキサなどです．

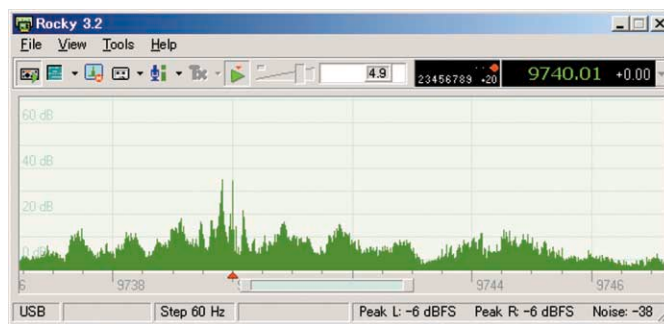
（a）ソフトウェア・ラジオ実験基板

（b）復調ソフトウェア

図1　アナログ・フロントエンドと復調ソフトウェアを用いるソフトウェア・ラジオの例

CQ ham radio 2006年12月号付録ソフトウェア・ラジオ実験基板と復調ソフトウェアRocky．

KeyWord　FPGA，ソフトウェア無線，ディジタル・ダウン・コンバータ，ダイレクト・コンバージョン，数値制御発振器，CIC フィルタ，FIR フィルタ，CORDIC，ハードウェア・アクセラレータ，ディジタル受信機

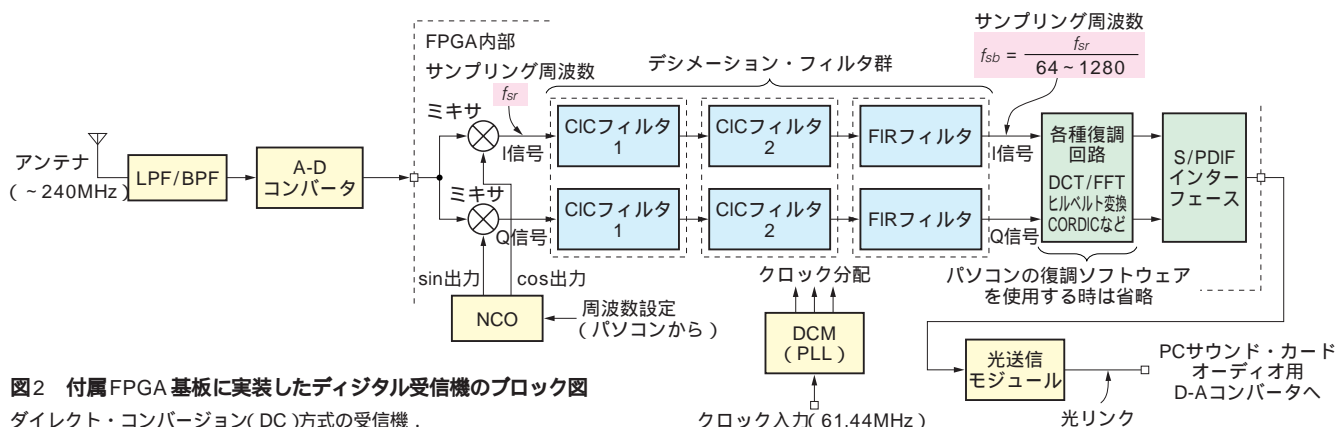



図2　付属FPGA基板に実装したディジタル受信機のブロック図
ダイレクト・コンバージョン(DC)方式の受信機.

しかしアナログ方式では，回路を構成する素子の不安定さのため，正確に位相，振幅を管理することが困難だったため，その本格的な実用化はディジタル信号処理の出現を待つことになりました.

DC方式のディジタル受信機の場合，その中心的な処理内容は，高周波信号を扱うため十分に高く設定したサンプリング周波数(今回は61.44MHz)からベースバンドにおけるフィルタリング，復調などの処理を行うのに適切な，低いサンプリング周波数(今回は48kHzや960kHz，240kHz)までサンプリング周波数を落とす，デシメーション処理を不要なエイリアス信号を混入させることなく行うことです.

1．ディジタル受信機の構成要素

ディジタル受信機の構成要素について説明します.

● A-Dコンバータ

今回の受信機では，ベースバンドで扱う信号の帯域幅(サンプリング周波数)，ダイナミック・レンジとして，それぞれ50kHz，100dB(分解能16ビット程度)を目標に考えました.

ディジタル受信機の中では，処理が進むに従って，扱う信号の帯域幅を絞ることで目的とする信号を選択し，それに合わせサンプリング周波数も低くしていきます．信号の帯域幅やサンプリング周波数を低くすることにより，振幅方向の分解能は増加するので，アンテナからの高周波信号をディジタル化するA-Dコンバータの分解能は，ベースバンドで扱う信号の分解能に比べ小さくても十分です．今回はややオーバスペックですが，各種の実験ができるよう，分解能14ビット，最高サンプリング周波数65MHzのA-Dコンバータを用いています.

● ミキサ

FPGAに搭載されているハード・マクロの18ビット×18ビットの乗算器をミキサとして使用しています．NCO(numerically controlled oscillator)からの直交2相の局発信号をA-Dコンバータでディジタル化した高周波信号と掛け合わせ，直流0Hz付近の直交2相ベースバンド信号(I信号，Q信号)を生成します.

● NCO(numerically controlled oscillator)

NCOは，周波数データを与えることで，正弦波のディジタル信号出力を得ることのできる発振器です.

図3に示すように，位相アキュムレータによって周波数データをクロックごとに加算することで位相の瞬時値を計算します．位相をもとにテーブルから正弦波の波形データを得て出力信号とします.

三角関数は，0～2πの変数に対して，振幅+1～−1(変化量：2)の変化をしていて，最大の傾きは1です．波形

図3　数値制御発振器(NCO：numerically controlled oscillator)
sin，cos　の二つの信号(波形)を同時に出力できる.

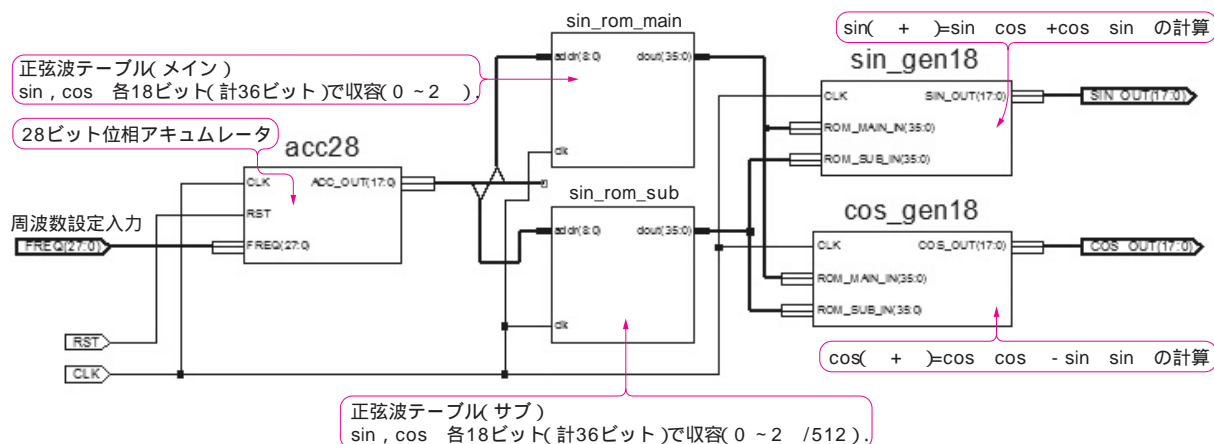



図4　FPGAに実装したNCOのブロック図
ISEの回路図エディタによる設計．三角関数の加法定理を利用してROMテーブルの大きさを大幅に削減する．

データのテーブルとしては，信号の変化率が1程度になるように変数や関数値のスケールを合わせるのがよく，0～2πに対して2，つまり，変数方向のテーブルの細かさを，振幅方向の細かさよりπ倍大きくとればよいと考えました．具体的には振幅方向の分解能を16ビットとした場合，変数方向の分解能は18ビットに設定するのが合理的であるということになります(今回は，振幅方向の分解能も次段の乗算器の入力ビット幅に合わせ18ビットとしている)．

16ビットのワード幅で18ビットのワード長のROMは，512Kバイトに達し，今回使用するFPGAの持つすべてのメモリ・ブロック(Block RAM)容量である216Kビットを使っても収まりません．このため今回は，三角関数の加法定理を用い，角度の情報を9ビット＋9ビットに分解し，2個の512ワードのROMに波形データを収容しています．

三角関数の加法定理によれば，

$$\sin(\alpha+\beta)=\sin\alpha\cos\beta+\cos\alpha\sin\beta$$
$$\cos(\alpha+\beta)=\cos\alpha\cos\beta-\sin\alpha\sin\beta$$

です．従って，角度 θ を

$$\theta=\alpha+\beta=p+512\times q$$
$$(\alpha=p,\ 512\times q=\beta)$$

と表すようにすれば，p，q それぞれを9ビットの分解能で表現してもθとしては18ビットの分解能を持つことになります．

図4に，加法定理を利用してROMの大きさを削減して設計したNCOのブロック図を示します．sin_rom_mainには，全周(2π)を512等分したsin，cosのテーブルをそれぞれ18ビット幅(合わせて36ビット幅)で収納し，sin_rom_subには，全周の1/512を512等分した角度に対応するsin，cosの値を収納します．二つ目のテーブルは0に近い角度だけを扱うので，sinには0に近い値，cosは1に近い値だけが収納され，MSB側に0や1が集まっています．従って，sin，cosの両方を合わせて36ビットの幅を用意する必要はありませんが，メモリ・ブロック容量を18Kビット以下にしても使用するブロック数は変わらないので，ビット幅を削減することはしていません．同様の理由で，三角関数の対称性を利用して第1象限の波形，テーブルだけで全周に対応する出力を得ることは，動作速度で不利になることも考慮し，今回は採用しませんでした．

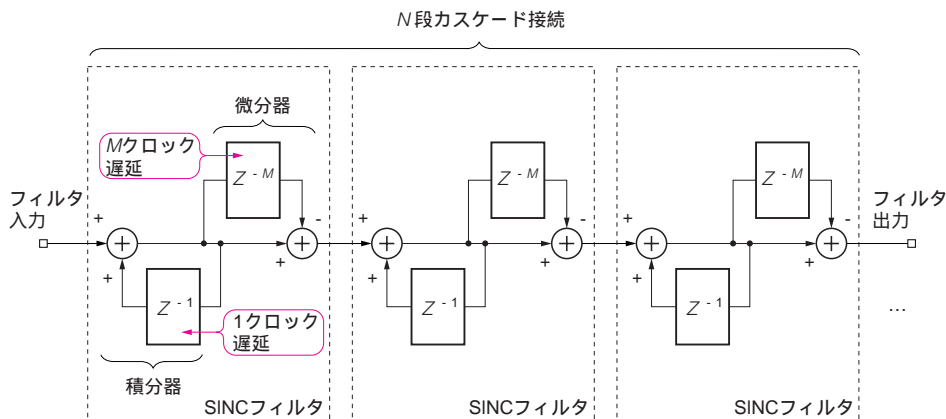
● CIC(cascaded integration-comb)フィルタ

CICフィルタは，**図5**に示すように，積分器と微分器を組み合わせたSINCフィルタをカスケードに接続しています．SINCフィルタは微分器の遅延段数Mに応じ，サンプリング周波数f_sの1/Mの整数倍の周波数に減衰極，ノッチを生じるフィルタです．**図6**にM＝4の例を示します．

1/Mのデシメーションを行う際に問題になるのは，周波数の折り返しによって，目的とする0Hzに近い周波数を持った部分に周波数f_s/Mの整数倍の近傍のエイリアス成分が重なってくることです．デシメーションを行う前に，f_s/Mの整数倍の周波数付近の成分を十分に減衰しておく必要があります．**図6**からCICフィルタがこの目的にちょうど良いことが分かります．

6

図5　CIC(cascaded integration-comb)フィルタの構成

積分器と微分器を組み合わせたSINCフィルタをカスケードに接続する．積分器と微分器をそれぞれまとめ，それらの中間点でデシメーションする方法もある(今回は採用していない)．

今回作成した3種類のCICフィルタの仕様を**表1**にまとめます．基本的にCICフィルタは乗算を含まないので，高速動作をさせやすいフィルタであることもデシメーション用フィルタとして適している理由です．サンプリング周波数61.44MHzで使用するCICフィルタは，メモリ・ブロックは用いずランダム論理として生成しています．そのほかの2種類はメモリ・ブロックを用いたものです．Spartan-3Eのデュアル・ポートRAMでは，同じアドレスに対する読み書きの順序(read after write，read before writeなど)やパイプラインの段数を設定できるので，こうしたRAMをベースにしたフィルタのアーキテクチャを実装するのに向いています．

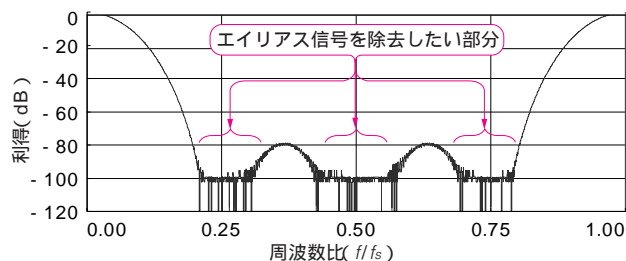



図6　CICフィルタの特性例

cic4_7_18a：FM受信機において f_s＝3.84MHzから960kHzへの1/4デシメーションに使用した．

● FIR(finite impulse response)フィルタ

FIRフィルタは**図7**に示すように，信号を順次遅延させながら，係数を掛け，足し合わせていくことで出力値を求めるフィルタです．

FPGAに実装する場合，デュアル・ポート構成にしたメモリ・ブロックをリング・バッファとして用い，乗算器は各系統で1個ずつ用いる方法で効率良く実装できます(**図8**)．クロック周波数を，サンプリング周波数のタップ数倍以上に設定する必要があるので，RAMをベースにしたアーキテクチャは高速動作には不向きです．しかし今回のディジタル受信機では，CICフィルタでデシメーションの大部分をこなした後，最後の仕上げとして使うので，動作速度はあまり必要とされません．I，Q，2チャネルのフィルタは一つのブロックとして作成するようにしてRAMアドレスの制御回路と係数ROMを共通で使うようにしています．

ヒルベルト変換フィルタもFIRフィルタとして構成されることに変りはありませんが，係数の値が一つ飛びに0になり，かつ対称性があるので，係数ROMの大きさを1/4にした上で乗算の回数も1サンプリングあたり半分にできます．今回作成した511タップのヒルベルト変換フィルタは動作速度的には，256タップのローパス・フィルタと同様です．

表1　実装したCICフィルタの特性

最初の減衰極(f_s/M)の減衰特性に注目した．これ以降の減衰極の減衰は最初のそれより大きい．

フィルタ名	M（微分器遅延数）	N（カスケード段数）	入力サンプリング周波数	通過帯域特性		減衰極(f_s/M)付近の特性	
				周波数	減衰量	周波数	減衰量
cic16_4_18	16	4	61.44MHz	200kHz	0.16dB	3.84MHz ±120kHz	120dB
cic16_6_22a	16	6	3.84MHz	24kHz	0.6dB	240kHz ±24kHz	120dB
cic4_7_18a	4	7	3.84MHz	100kHz	1.1dB	960kHz ±100kHz	126dB

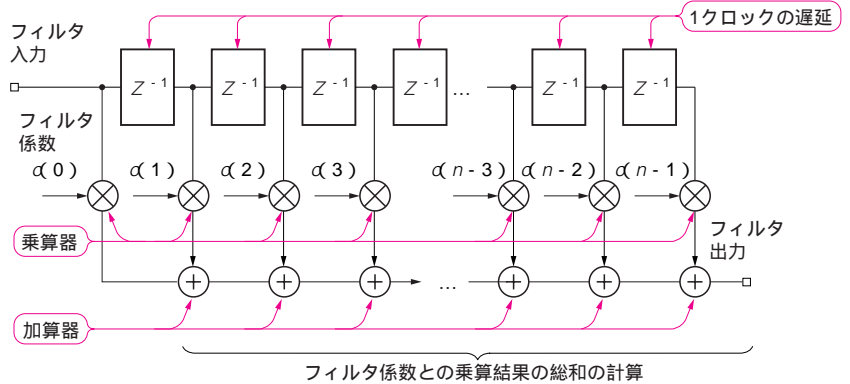



図7
FIRフィルタの構成

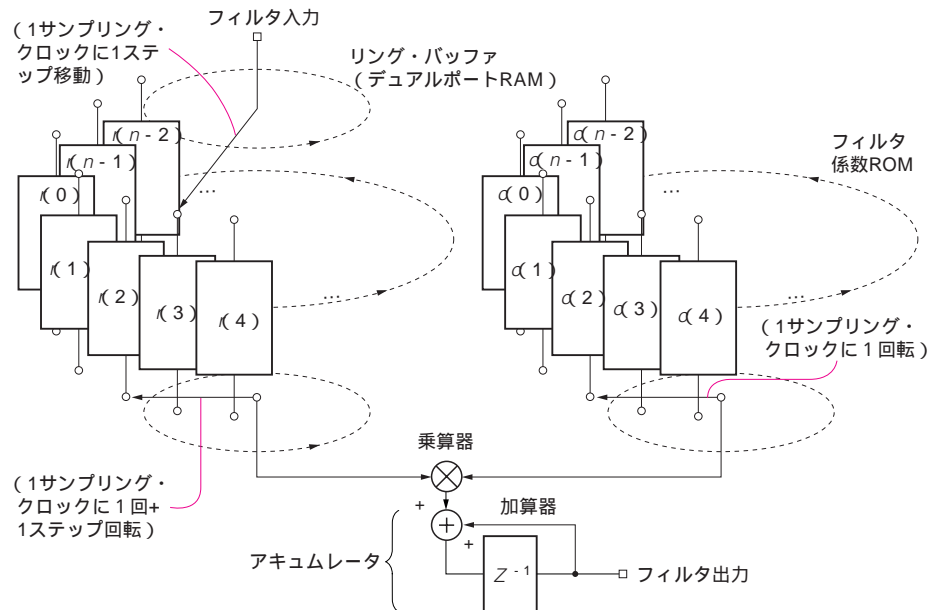



図8
リング・バッファを用いたFIRフィルタの実装
メモリ・ブロックをデュアルポートRAM構成し，リング・バッファとする．

今回実装した511タップのヒルベルト変換フィルタの特性を図9に示します．また，今回，各フィルタの係数を求めるために使用した環境と設計仕様を表2にまとめます．

● CORDIC (coordinate rotation digital computer)

CORDICはベクトルの移動，回転を利用してさまざまな関数の計算を行うアルゴリズムで，三角関数に関する計算によく使われます．今回はベースバンド信号の位相の情報を求めるためにCORDICを使用した$\tan^{-1}$計算回路を用いています．

アルゴリズムの詳細をここで説明することは避けますが，CORDICのアルゴリズムで，ベクトルを移動させていく際に1回ごとに行う計算は，リスト1のように加減算だけから成ります．ここで，求めようとしている位相角を計算しているのはout_p := in_p ± k; の部分で，このkは

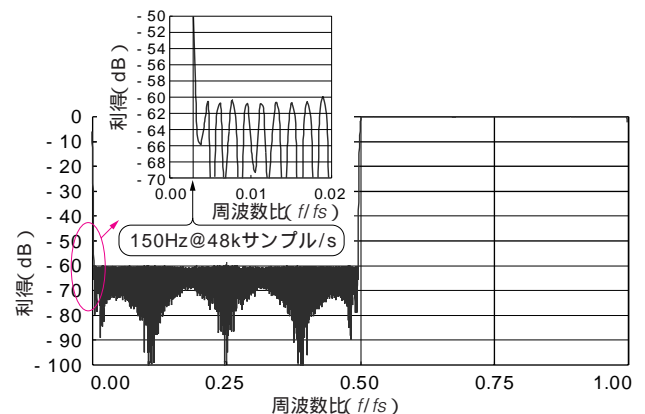



図9　511タップ・ヒルベルト変換フィルタの特性例
f_L = 0.0032，f_H = 0.4968，R_p = 0.017dBで設計したもの．正の周波数(0～0.5)を抑圧するよう，Q信号にヒルベルト変換フィルタを通用し，I信号と加算した場合の伝達特性．－60dBの抑圧比を目標に設計した．

定数やROMの内容としてあらかじめ用意しておきます．

図10は，$\tan^{-1}$関数を計算するx，y(I信号，Q信号の瞬時値)の入力として18ビットの分解能で値を取り込み，位相出力としてやはり18ビットの値を出力するようにして，その精度を確認したものです．内部で位相の値を順次，加減算して蓄積していくアルゴリズムなので，出力の分解能と同様なビット数で処理を行った場合，量子化誤差が蓄積してしまうため，十分な精度が得られません．

図11は内部の処理を20ビットまで拡張して18ビットの精度が得られるようにしたもので，今回のFM復調に用いています．

リスト1　CORDICの計算

```
    if in_i(19) = '1' xor in_q(19) = '1' then
                                -- i,q: different polarity
        out_i := in_i + i_inc ;
        out_q := in_q - q_inc ;
        out_p := in_p + k;
    else                        -- i,q: same polarity
        out_i := in_i - i_inc ;
        out_q := in_q + q_inc ;
        out_p := in_p - k;
    end if ;
```

2. フィルタの特性を評価する

ディジタル受信機では何種類ものフィルタを使うので，それらの特性が設計した通りに実現できているか，個別に確認しておく必要があります．その理由は，全体を組み上げてから問題が明らかになってもなかなか対処が難しいからです．フィルタの特性評価では，フィルタの応答が安定するまで十分なクロック数，シミュレーションを実行する必要があり，詳細な特性を見るために，周波数をスィープする刻みを小さくしていくと膨大なシミュレーション時間がかかってしまいます．

● FPGA基板をハードウェア・アクセラレータにする

設計の時点ですでにFPGAの載った基板が利用できるのならば，フィルタの制御回路関連の検証をソフトウェアの論理シミュレータ(ISEに標準搭載のシミュレータなど)で確認したら，詳細なフィルタの特性の評価はFPGA上で実施するのが有効な方法です．

表2　実装したFIRフィルタの特性と設計環境

フィルタ名	タップ数	サンプリング周波数	通過帯域特性		阻止域特性		設計環境
			周波数	減衰量(リプル)	周波数	減衰量	
dfir256	256	240kHz	～22.0kHz	0.25dB	26kHz～	122dB	MATLAB/Simulink FDAツール
dfir256a	fir256の出力ビット幅を18ビット拡張したもの(dfir256は16ビット)．特性は同じ						
dfir64	64	960kHz	～100kHz	1.0dB	140kHz～	83dB	
hilbert511	511	48kHz	f_L=153.6Hz f_H=23846.4Hz	0.017dB	―		FIRフィルタ設計ツール(1)
hilbert511sr	256段シフト・レジスタ(hilbert511との遅延調整用．フィルタではない．)						

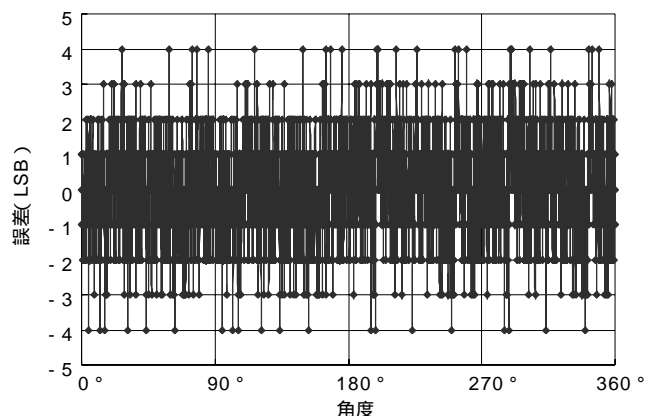



図10　CORDICを$\tan^{-1}$計算回路として構成した場合の誤差の例
内部の演算精度を，入出力信号のビット数と同じ18ビットとした例．最大4LSBほどのエラーが発生している．

図11　内部演算を20ビットとした18ビット$\tan^{-1}$計算回路の誤差
量子化誤差と同等のエラー量に収まった．やや＋側に変位．

今回筆者が作成した受信機基板には，USB-シリアル変換用ICを搭載しています．フィルタからの出力信号のサンプル値を，このICを通して出力します．パソコン側では一般的な通信ソフト（例えばWindowsに標準のハイパーターミナルなど）でこのデータを取り込むことができるので，ファイルに書き出して表計算ソフトで処理し，フィルタの周波数特性を処理，表示します．

2048点の周波数での応答を1/100sごとに計測してパソコンに送り出す場合，測定時間は約20sとなります．1/100sという時間は，実機においては61.44MHzの主クロックの614,400クロックに相当し，フィルタの応答が整定する時間に比べ十分に長い時間です．シリアル・ポートの速度として115.2kbpsを用いるなら，1/100sに1,152ビットを送出できます．これは100文字近い情報に相当します（I，Q信号それぞれ24ビット幅なら16進表示で12文字必要）．

● 直交性を利用して1回のサンプリングで測定する

通常，フィルタの周波数特性を測定するためには，フィルタの入力に一定振幅の正弦波を与え，フィルタの出力に現れる出力信号のレベルを測定します．出力信号のレベルを測定するためになんらかの平均をとる必要のある計測方法は，多数の測定値を必要とし，煩雑で時間もかかります．

今回のディジタル受信機の設計では，直交するI，Q信号を扱う関係で，同じ特性を持ったフィルタを2系統実装することになります．一方，局発用の信号源として用意するNCOからは，直交2相の二つの出力が同時に得られます．今回の測定では，この局発用のNCOからの出力を2系統のフィルタに入力し，その二つの出力（これらも当然，直交する）をフィルタの特性測定に用います．

常に互いに90 °の位相差をもっていて，振幅の等しい二つの信号の振幅を測定する場合，三角関数の特性，

$$\sin^2 x + \cos^2 x = 1$$

を利用し，二つの信号の任意の時刻の瞬時値を1回だけ測定することで，複数サンプル点のデータを平均することなく，瞬時に振幅が測定できます．つまり，二つの信号を$A \sin(\omega t)$と$A \cos(\omega t)$とすれば，ある時刻における二つの信号の瞬時値，x，yを測定すると，

$$x^2 + y^2 = A \sin^2(\omega t) + A \cos^2(\omega t) = A^2$$

となって振幅Aがただちに求まります．

図12に，$M = 16$，4段カスケードのCICフィルタを評価する場合のISE上での回路図を，図13にパソコンで取得した振幅データの例，図14にグラフ化した周波数特性を示します．

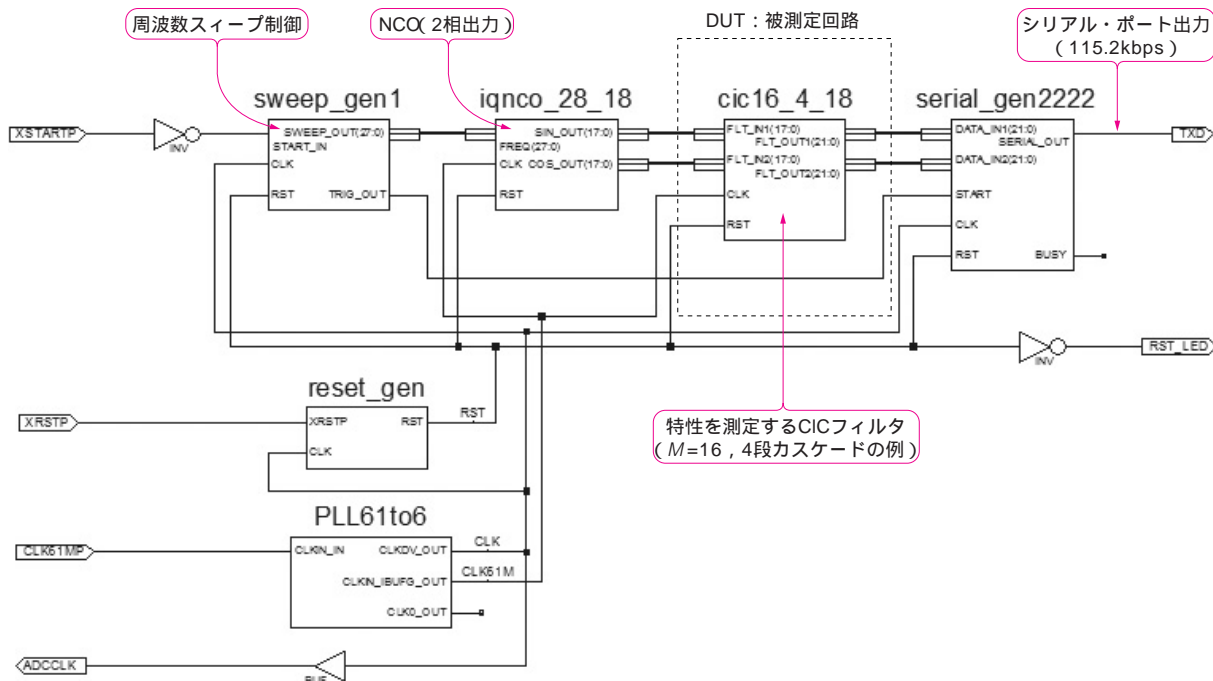



図12　CICフィルタの特性をFPGA上で評価する

図13 CICフィルタの特性評価のデータ取得のようす
Windows付属のハイパーターミナルによるデータ取得の例．

図14 M＝16，4段カスケードCICフィルタcic16_4_18の特性
サンプリング周波数61.44MHz→3.84MHz，1/16のデシメーションを行う．

まったく同じフィルタの特性評価をISEに付属のシミュレータで実施した場合，一つの周波数のクロック数をフィルタが整定するのに最低限必要な1000クロック程度にまで減らしても，3GHz動作のPentium 4のパソコンで12分程度かかりました．20sで結果が得られるこの方法は，回路のデバッグ，修正にかかる効率が良いことを実感できます．256タップのFIRフィルタにいたっては，サンプリング周波数とフィルタのクロック周波数に256倍の開きがあり，さらに長い時間(5時間程度)を要し，シミュレーションだけの検証はさらに困難になります．以上の方法はFPGA自体をいわば「ハードウェア・アクセラレータ」として利用していると言えるでしょう．

3．ディジタル受信機の製作

これまでに説明してきたNCO，CICフィルタ，FIRフィルタ，CORDICを組み合わせてディジタル受信機を構成し，付属FPGA基板に実装して動作させた例を紹介します．

付属FPGA基板を動作させるために用意した基板(以降，受信機基板と呼ぶ)の回路図を**図15**に，外観を**写真1**に示します．今回は受信機基板に付属FPGA基板を2枚搭載できるようにしています．ディジタル受信機のDDC部だけでなく，各種，多様な復調アルゴリズムをFPGAに搭載して実験する場合には，今回のFPGA，25万ゲート相当だけでは規模が不足することが出てくると考えたためです．筆者は，本誌2005年1月号の付属FPGA基板(Spartan-3ファミリのXC3S50を搭載)を片側に装着しましたが，本号の付属FPGA基板を2枚使用することもできます．

付属FPGA基板にはクロック発振器として61.44MHzの水晶発振ユニットを搭載しました．3.3Vのレギュレータは受信機基板側に搭載したので付属FPGA基板には搭載していません．受信機基板への供給電圧は5Vとしています．(5Vの電源はA-Dコンバータ，光送信モジュールに使用．ノイズやリプルが十分に少ない電源を供給する必要がある)．

アンテナからの高周波信号は，必要に応じてプリアンプで36dB程度増幅し，61.44Mサンプル/sでA-D変換を行い，出力ディジタル・データを付属FPGA基板に取り込みます．付属FPGA基板からの出力はディジタル・オーディオ・インターフェースであるS/PDIFによって出力し，パソコンのサウンド・カードに接続してパソコン上で実行する復調ソフトウェアを利用します．もちろん，FPGA内で復調まで実施すれば，ディジタル・アンプやオーディオ用D-Aコンバータを接続してスピーカを鳴らすこともできます．今回は光リンクを利用するため，東芝の光送信モジュール「TOTX173」を搭載しています．英国FTDI(Future Technology Devices International)社のUSB-シリアル変換チップ「FT232R」は，パソコンとの制御系のインターフェースのために用意したものです．受信周波数や各種パラメータの設定，受信信号の情報をパソコンとやりとりするために利用します．16文字×2行のLCDモジュー

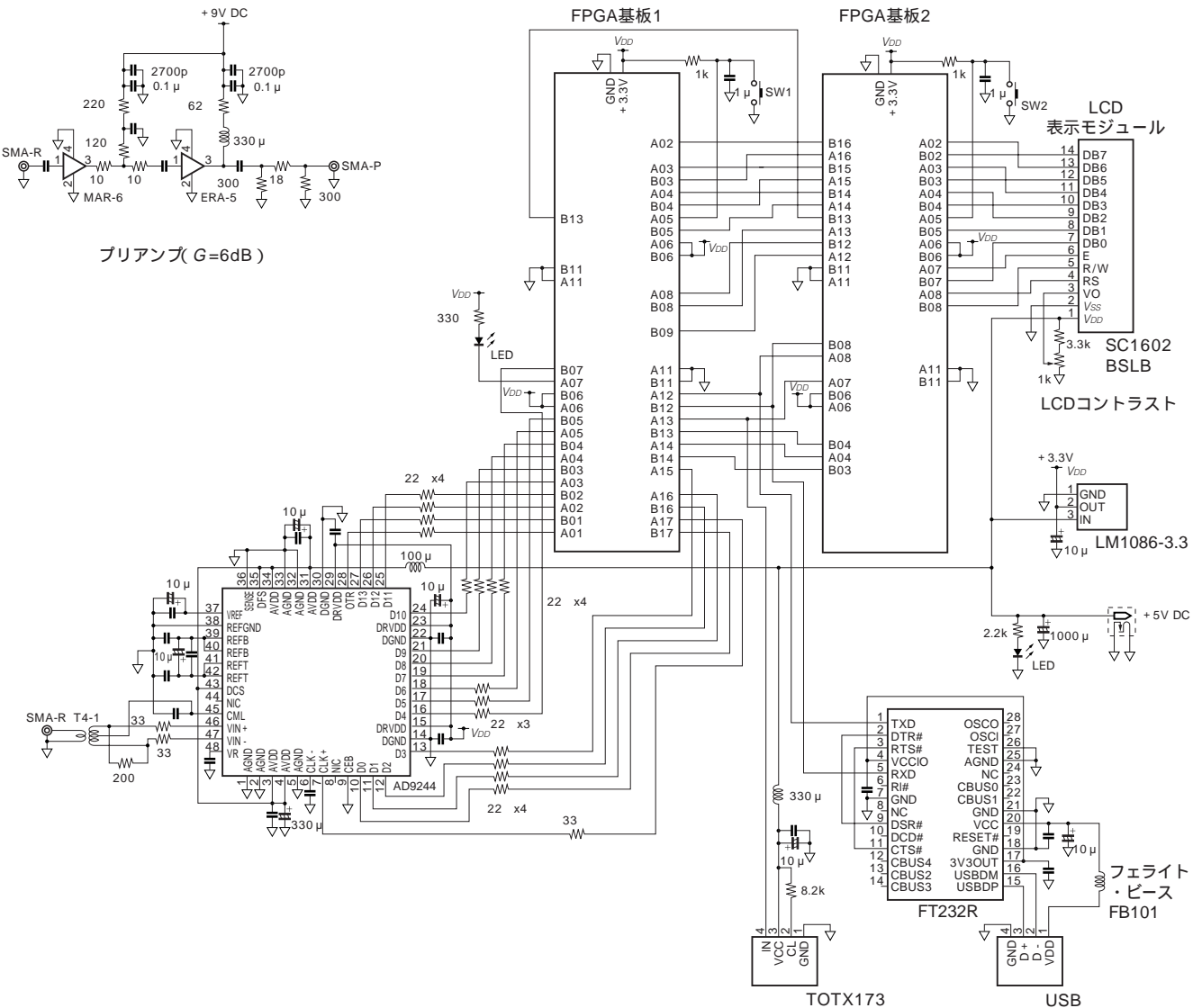
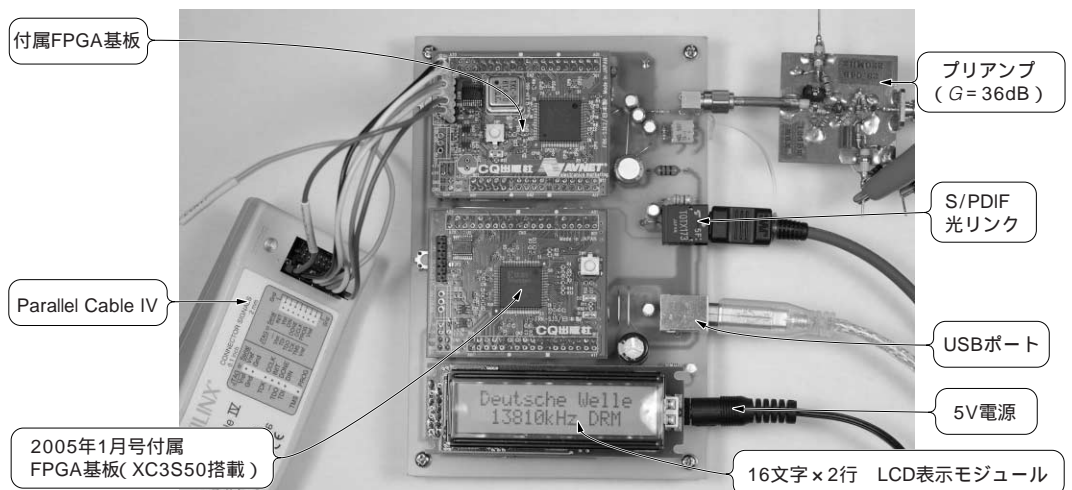



図15　ディジタル受信機基板の回路図

プリアンプ部は別基板に実装し，必要に応じてA-Dコンバータの入力に挿入する．定数表記のないコンデンサは0.1μFチップ・コンデンサ．10μFと330μFはOSコン．

写真1
ディジタル受信機基板

2枚目のFPGA基板は本誌2005年1月号の付属FPGA基板(XC3S50搭載)．

ルは局名，受信周波数，設定パラメータの表示などに用います．

この程度の規模の基板であればユニバーサル基板とピッチ変換基板を用いて実装することもできますが，今回は無償で利用できるプリント基板設計ツール「PCBE[注1]」でパターンを設計し，感光基板を使って自作してみました．高速なA-Dコンバータは，多層のプリント基板を用い，グラウンド・プレーンによって安定な接地電位，シールドを確保しないと，仕様に示された性能を得ることは困難です．今回のような片面だけのパターン，あるいはピッチ変換基板の使用は無謀ですが，無信号時のA-D変換出力のFFT結果を見る限り，問題はないと判断しました．

付属DVD-ROMに収録した設計データには，PCBEによる基板パターン・データも収録しましたのでファイトのある方は挑戦してみてください．

注1：http://www.vector.co.jp/soft/win95/business/se056371.html からダウンロードできる

● **DDCと復調ソフトによる受信機**

最初の例は，受信信号をDDCによってベースバンドのI，Q直交信号に変換し，S/PDIFディジタル・オーディオ・インターフェースによってパソコンのサウンド・カードに入力，パソコン上の復調ソフトウェアを使って復調するものです．アナログ方式のフロントエンドを用いるソフトウェア・ラジオを完全にディジタル化したものと考えればよいでしょう．

図16にISEで記述したトップレベルの回路図を示します．A-Dコンバータからの出力（61.44Mサンプル/s）は，二つの乗算器によって直交する局発信号を掛け合わせ，ベースバンド信号に変換します．NCOのクロック周波数は61.44MHzなので，基本的には受信周波数はその1/2，DCから30.72MHzということになります．今回使用したA-Dコンバータは入力周波数240MHz程度までのアンダサンプリングに対応できるので，適切な帯域フィルタをA-Dコンバータの前に挿入すれば第7～第8ナイキスト・バンド

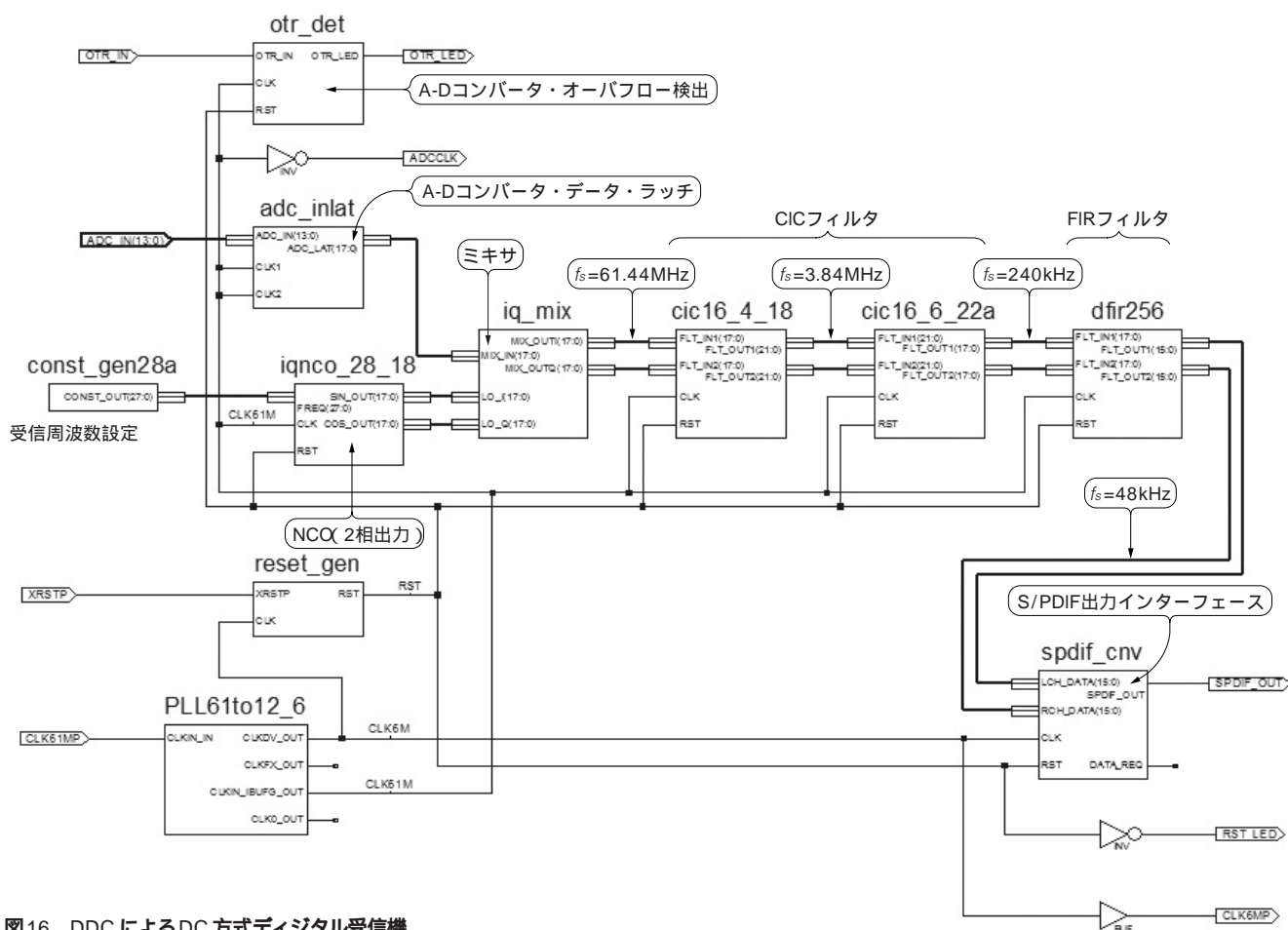



図16　DDCによるDC方式ディジタル受信機
パソコン上で実行する復調ソフトウェアを組み合わせて受信機として動作する．受信周波数はconst_gen28a内の定数で設定．

(ゾーン)である240MHz程度まで受信可能です(次に示すFM放送受信ではこの方法を用いる).

NCOの周波数の設定，すなわち受信周波数の設定はパソコンとのUSB接続によって行うことができます(本稿執筆段階ではこの機能は未実装．NCOの周波数は28ビットの定数で設定しているので，受信周波数を変更するためには，FPGAの書き換えが必要)．周波数f_Rを受信する際にNCOに与える周波数データf_{DATA}は，NCOの与えるクロック周波数をf_{CLK}とすれば以下のように計算できます.

$$f_{DATA} = 2^{28} \times f_R / f_{CLK}$$
$$= 268{,}435{,}456 \times f_R(\mathrm{Hz}) / 61{,}440{,}000$$

DDCの設計の中心的な作業は，適切なフィルタリングによってサンプリング周波数を落とすデシメーション用低域フィルタの設計を行うことにあります．この例ではパソコン上で実行する復調ソフトウェアのための入力信号を生成する必要があるので，サンプリング周波数をA-Dコンバータの61.44MHzから48kHzに落とすようにしています.

最初のCICフィルタ(cic16_4_18)では，$M = 16$のSINCフィルタを4段カスケードに接続し，サンプリング周波数を1/16の3.84MHzに落とします．次の段のCICフィルタ(cic6_22_18a)ではやはり$M = 16$としていますが，24kHz離れた周波数でのエイリアス信号を120dB程度，減衰できるよう，カスケードの段数を6段としています．この2段目のCICフィルタは動作周波数が低い(3.84MHz)ので，メモリ・ブロックをデュアルポート構成にして用い，必要な信号の遅延をメモリ上で実現し，コンパクトにまとめています.

クロック周波数としてはサンプリング周波数の16倍である61.44MHzを用い，構成を変更することなく信号を取り出す位置を変えることで，I，Q，2チャネル分のCICフィルタを，カスケード段数，最大8段まで自由に設定し実装できます．CICフィルタを2段，通った段階でサンプリング周波数は240kHzにまで落とされていて，2段のCICフィルタによる総合的な周波数特性は**図17**に示すようになります(入力のサンプリング周波数f_s = 61.44MHzの全域での応答を確認し，480kHz以上の周波数で－100dBを超える応答はない)．最終段においては通過帯域と阻止帯域を明確に区別する特性を実現できるFIR型のローパス・フィルタ(dfir256)を通すことで，目的とする周波数帯域だけを残すようにします(**図18**).

● 復調ソフトウェア

アナログ方式のフロントエンドを用いる場合に使ったソフトウェア・ラジオ用の復調ソフトウェアが利用できます．**図19**はPowerSDRという復調ソフトウェア(`http://flex-radio.com/`)を使って航空無線，11330kHz を受信しているようすです．このソフトウェアは，受信機として非常に豊富な機能を備えており，送信用ベースバンド信号を発生することも可能です．PowerSDRの場合，I，Q信号の極性の関係から，周波数を正しく認識させるためS/PDIFの入力の接続を左右，逆にする必要があります.

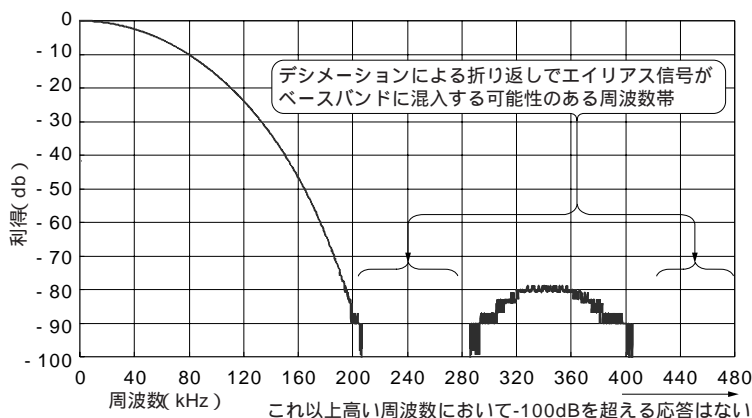



図17 二つのCICフィルタの総合特性

480kHz以上の周波数で－100dBを超える応答がないことを確認．エイリアスの混入してくる可能性のある周波数帯が十分に除去されている.

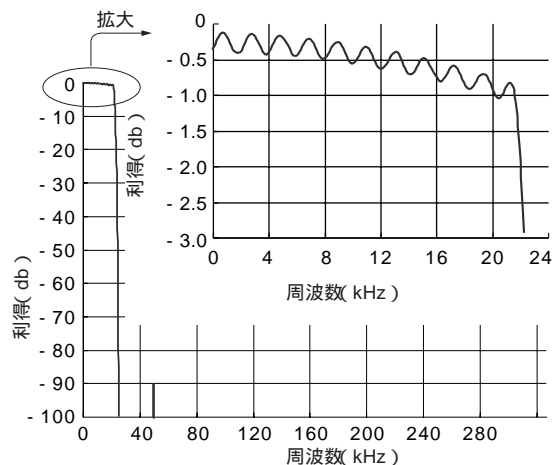



図18 CICフィルタとFIRフィルタの総合特性

22kHzまでの通過帯域内に見られるリプルはFIRフィルタによるもの．緩やかに通過帯域高端で減衰が見られるのはCICフィルタの特性による.

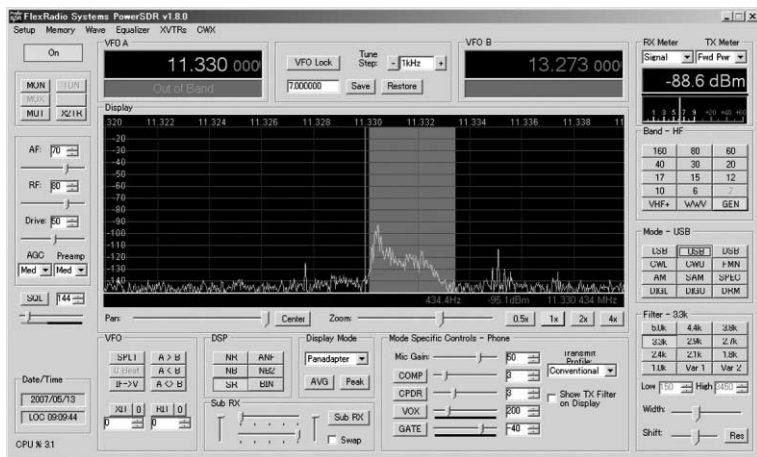



図19　PowerSDRを用いてSSB信号を復調した例
11.330MHzは航空機の洋上管制，東京コントロール（NP：North Pacificエリア）の周波数の一つ．PowerSDRを使用する時はS/PDIF入力の左右を入れ替えてコンフィグレーションする．

図20　DreamによってDRM放送を復調した例
ドイチェ・ベレ（Deutsche Welle）のDRM放送（13790kHz，5月13日，0157JST）を受信，復調した例．

PowerSDR以外ではSDRadio（http://digilander.libero.it/i2phd/sdradio/），Rocky（http://www.dxatlas.com/Rocky/）といったソフトウェアがよく使用されています．

図20はDream（http://drm.sourceforge.net/）というソフトウェアによって，OFDM変調によって短波帯で実施されているDRM（Digital Radio Mondiale）放送を受信している様子です．Dreamでは直交2相のI信号，Q信号を入力とするモード（-cの引き数として3～6の値を用いる）が利用できるので，このDDCからの出力を，I信号を左チャネル，Q信号を右チャネルに入力することでDRM放送を受信することができます．

現在，感度やダイナミック・レンジなど，受信機としての性能評価を始めていますが，36dBのプリアンプを挿入した状態で，PowerSDR，Dreamといった復調ソフトウェアと組み合わせた場合，アナログ方式の通信型受信機と十分互角の性能があります．

● CORDICを搭載してFM放送を受信してみる

信号の復調をパソコン上で実行するソフトウェアで行えば，各種の変調方式に柔軟に対応できますが，サウンド・カードをデータのインターフェースとするため，扱うことのできる周波数帯域，変調方式は限られます．今度はFPGA上に復調部を搭載することで，さらに，多様な変復調方式に対応することを試みることにします．

図21はCORDICをFM復調のための位相検出器として用いた受信機で，FM放送（最大周波数偏移75kHz）を受信するように構成したものです．

日本国内のFM放送は，最大周波数偏移75kHzのFM変調が行われていて，通常のステレオ放送の場合，受信帯域幅として最低，200kHz程度必要になります．先のDDCでは最終的にサンプリング周波数を48kHzまで落としているので，帯域幅200kHzを必要とするFM放送の復調は不可能です．ここでは，61.44MHzのサンプリング周波数を3.84MHzに落とした後，$M=4$，7段カスケードのCICフィルタ（cic_4_7_18a）によってサンプリング周波数を960kHzへ落とし，カットオフ周波数100kHzの64タップのFIRローパス・フィルタ（dfir64）によって必要な帯域を取り出した後，CORDIC（cordic18x）による位相検波を行います．

図22は二つのCICフィルタ，FIRフィルタを合わせたCORDIC直前までの総合的な周波数特性です．CORDICからの位相出力は隣接するサンプリング値の差をとって（微分）周波数情報に変換します（pmfm）．S/PDIFへ出力する音声信号はdfir256によって22kHz以上の，耳で聴くには不要な成分をカットします．

FM放送においては，送信側で高い周波数を強調するエンファシス（emphasis）を行い，受信機側では，送信側のエンファシスとはちょうど反対の周波数特性を持った回路を通すデエンファシス（de-emphasis）を行って，総合的に

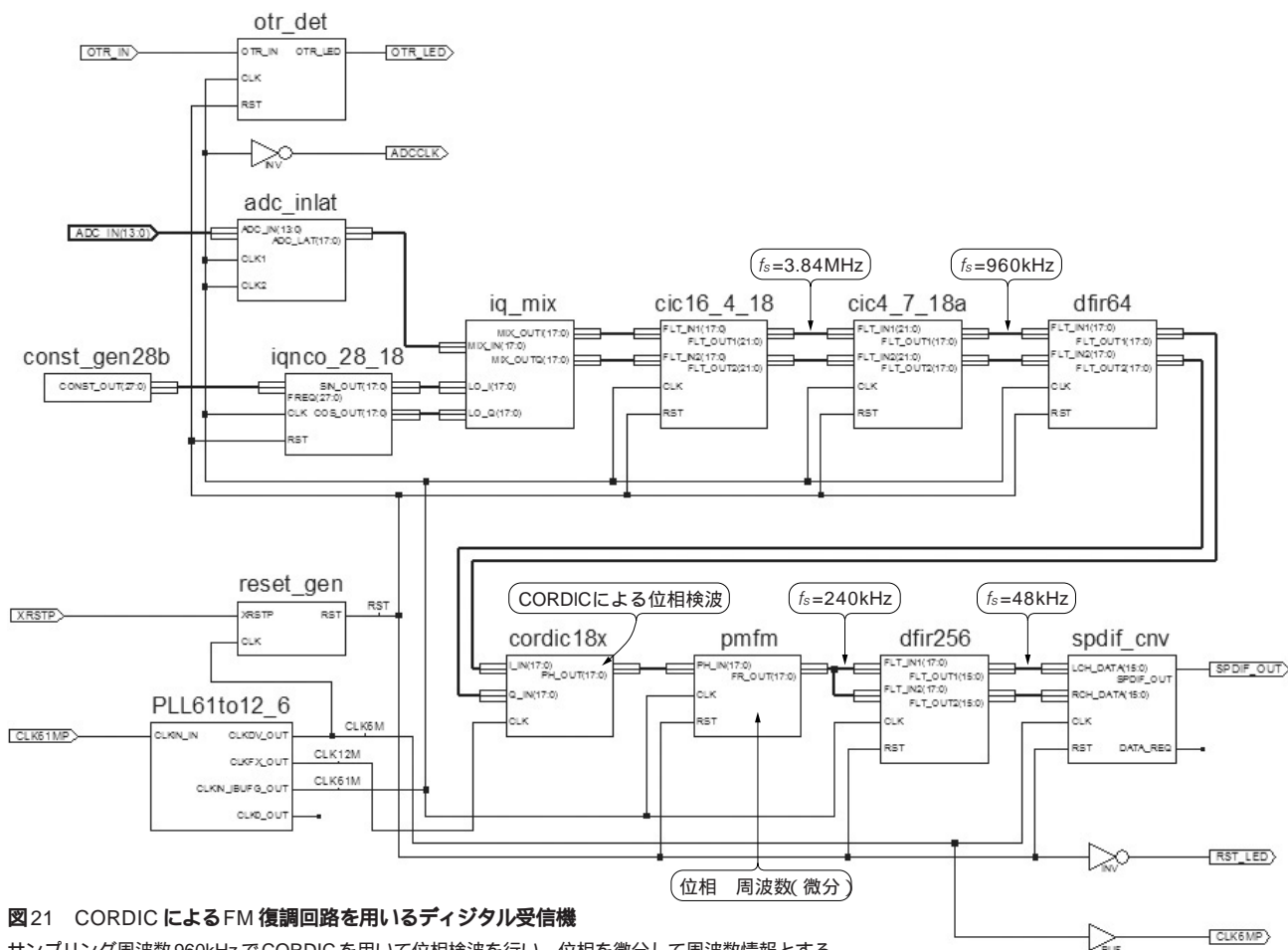



図21　CORDICによるFM復調回路を用いるディジタル受信機
サンプリング周波数960kHzでCORDICを用いて位相検波を行い，位相を微分して周波数情報とする．

フラットな周波数特性を得るようにしています．今回，実装した回路では，デエンファシス回路は省略しているので，受信音はやや高音域が強調された音になっています[注2]．

FMステレオ放送の左右の信号を分離する回路はFMマルチプレクス回路と言います．アナログ回路では，PLLやサンプリング回路，各種のフィルタで実現されてきました．先のデエンファシス回路の追加にとどまらず，FPGA上にディジタル信号処理によってこのFMマルチプレックス回路を実現して良好な音質でFMステレオ放送を楽しむのも，おもしろいと思います．

FM放送の周波数帯（76MHz～90MHz）を通常のナイキスト周波数（$f_s/2$）の範囲で扱うためには，A-Dコンバータのサンプリング周波数は180MHz以上にする必要があります．したがって，利用できるA-Dコンバータが限られてしまいます．今回使用したA-Dコンバータは，最大サンプリング周波数は65MHzとなっていますが，A-Dコンバータへの入力周波数としては240MHz程度まで扱うことのできるアンダサンプリングに対応したA-Dコンバータです．このため，A-Dコンバータのサンプリング周波数として61.44MHzを使用していても，例えば，東京地方のFM東京の80.0MHzを受信する時は，**図23**に示すように第3ナ

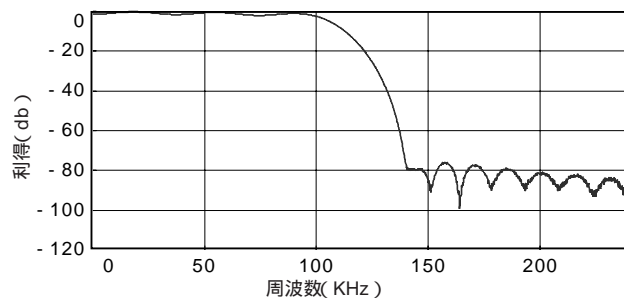



図22　CICフィルタとFIRフィルタの総合特性（FM受信機の例）
400kHz以上の周波数においては減衰量は100dB以上となっている．

注2：付属DVD-ROMに収録したddc_fmではローパス・フィルタdfir256のクロック周波数を落としfc=4.4kHzとしてあるので，高音域の強調は目立たない．

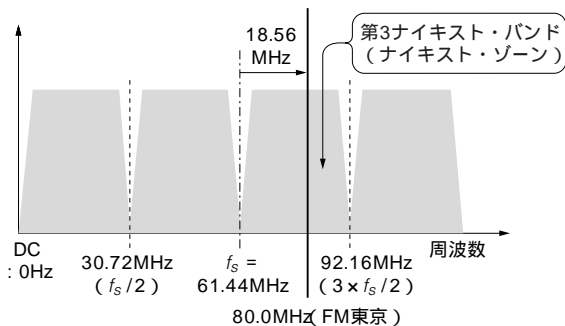



図23　アンダサンプリングでFM放送を受信する

（**a**）回路図

（**b**）外観

図24　FM放送をアンダサンプリングで受信するためのバンドパス・フィルタ
バンドパス・フィルタを用いないと混信やノイズ増加の可能性がある．

イキスト・バンド（ゾーン）に80.0MHzが含まれるので，NCOからは18.56MHzの局発出力を出力して80.0MHzを受信することができます．

図24はA-Dコンバータの入力とプリアンプの間に挿入するバンドパス・フィルタです．この例のように，アンダサンプリングを用いる場合には必須です．このフィルタによってアンテナからの高周波信号のうち，80.0MHz付近の周波数のものだけをA-Dコンバータの入力に与えるようにします．このフィルタを使用しないとFM用のアンテナを接続していても，フィルタを使用した場合に比べ，明らかにノイズが増加することが聴くだけでも分かります．

● SSBモードの通信を受信する

ベースバンドに変換されたI信号，Q信号の片方だけに注目した場合，局発信号にくらべて受信信号の周波数が高

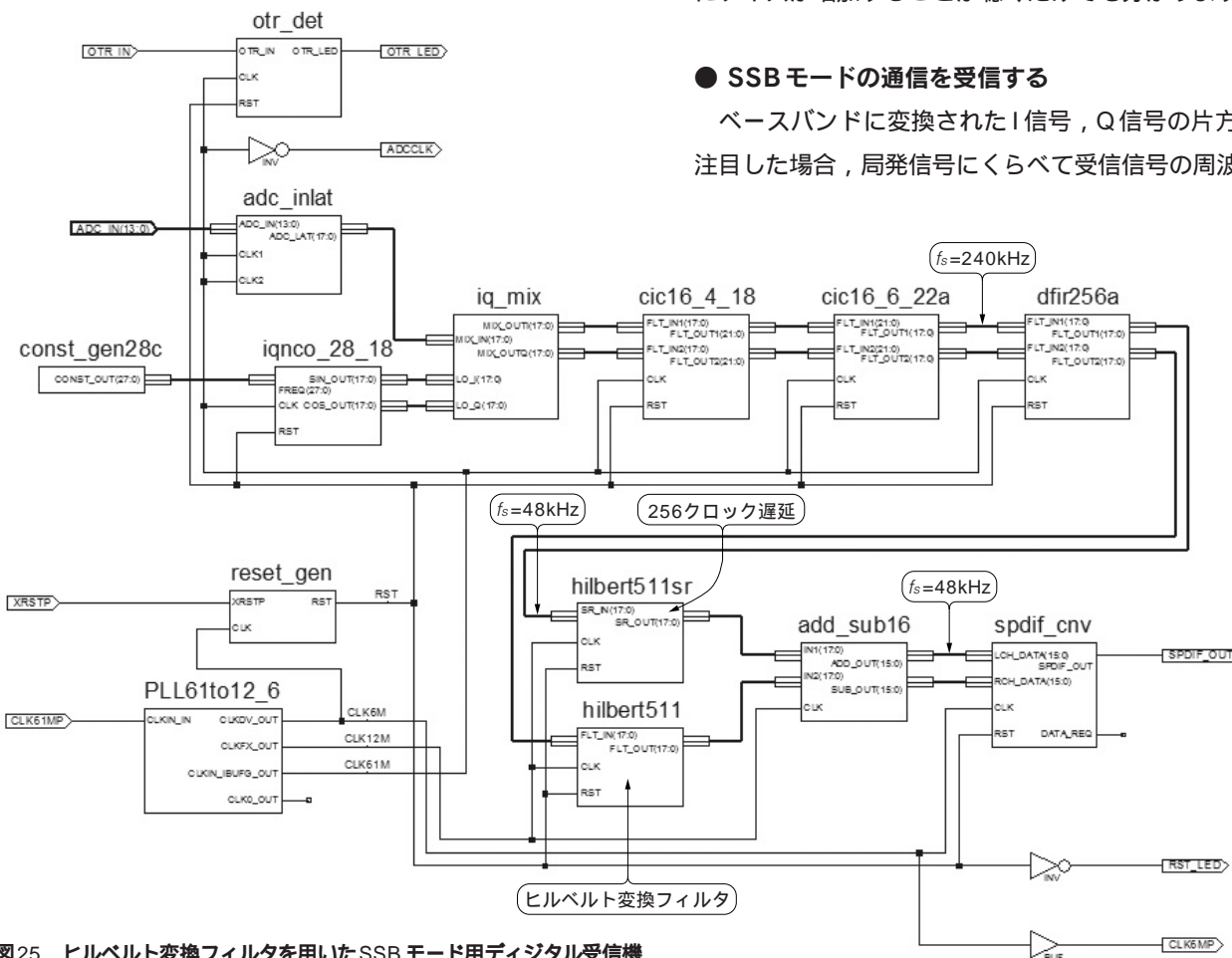



図25　ヒルベルト変換フィルタを用いたSSBモード用ディジタル受信機
Q信号側にヒルベルト変換フィルタを挿入する．I信号側は遅延時間を補償するための遅延回路を挿入する．

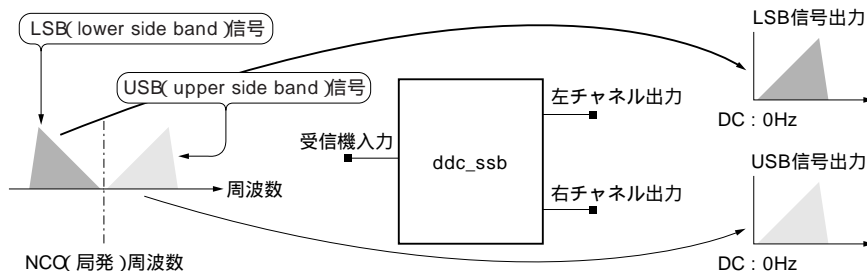



図26
受信周波数と受信機出力の関係

いのか，低いのかを区別することはできません．

ヒルベルト変換フィルタは，対象とする周波数帯域において入出力間に90 °の位相差を与えるフィルタです．このヒルベルト変換フィルタをI，Q信号の片方に用いて加算，あるいは減算することで，局発信号よりも高い周波数成分，低い周波数成分を区別できるようになります．

図25はQ信号にヒルベルト変換フィルタ(hilbert511)を通し，I信号(遅延時間を合わせるために，256段の遅延回路， hilbert511_srが挿入されている)と加算，減算することで，左チャネルには局発信号よりも低い周波数に位置する受信信号(LSBモードのSSB信号を受信する場合に用いる)，右チャネルには局発信号よりも高い周波数に位置する受信信号(USBモードのSSB信号を受信する場合に用いる)を振り分けて出力するように構成したものです(**図26**)．

SSBモードは音声帯域をそのまま，高周波の信号に周波数変換する変調方式であって，占有スペクトルも少なく，HF帯においてはアマチュア無線や航空機の洋上管制，船舶無線など，現在でも音声の通信では広く使われています．通常のSSB通信はUSBモードを使って行われるので，この受信機の場合，右チャネルの出力を聴くことになります(アマチュア無線では10MHz未満の周波数ではLSBモードを用いる)．

SSBモードは振幅変調の一種なので，入感する受信信号の強度によって復調される音声の大きさは大きく変化します．そのため，AGC(automatic gain control)の機能を実現して受信信号の強度が変化しても復調出力が変動しないよう，ゲインを自動制御しないと実用的な受信機にはなりません．その点でこの受信機の例は直交I，Q信号とヒルベルト変換フィルタの動作を体感するには良い題材ですが，実用的なSSBの受信には先に紹介したPowerSDRのようなソフトウェアが有効です．

表3　設計した回路の合成結果
主クロックのタイミング制約を16.3ns(61.44MHz)として，回路の合成，配置配線を行った結果．

受信機	4入力LUT	使用率	メモリ・ブロック	乗算器18×18	最大動作周波数(MHz)
ddc(DDC単体)	1336	27%	6	8	64.3
ddc_fm(FM受信機)	2614	53%	9	10	61.9
ddc_ssb(SSB受信機)	1655	33%	9	9	62.2

● まとめ

表3は今回実装した3種類の受信機のリソースの使用状態，動作速度をまとめたものです．LUTの使用率に比べ，乗算器やメモリ・ブロックの使用率が高く，復調アルゴリズムとして今後，OFDMなどのディジタル変調の方式を試していくにも，DDCを実装したところで，乗算器をほぼ使い切った状況にあります．付属FPGA基板に搭載されたXC3S250Eは，LUTを少し減らしてもよいので乗算器やメモリ・ブロックをもう少し増やしてほしいと感じた面はありますが，今回のような通信系のアプリケーションで実用的な規模の回路を効率良く実装でき，極めて使いやすいFPGAだと思います．

参考・引用*文献

(1) 西村芳一；ディジタル信号処理による通信システム設計，2006年，CQ出版社．

はやし・てるひこ
(株)ソリトン・システムズ

<筆者プロフィール>
林 輝彦．根っからの「ラジオ少年」は学校卒業後，何を血迷ったか，米国系のマイクロプロセッサ会社に就職してしまう．いくつかのCPUの開発に関わった後，今の会社に移り，シリコン・コンパイラ，HDLシミュレータ，アナログ合成などのEDAツールの普及に関わる．最近はアナログ設計に回帰しつつあり，ますます元気．